**《计算机体系结构》考试大纲**

**一、填空题**

1.当代计算机体系结构的概念包括 、 和 三个方面的内容。

答： 指令集结构 、计算机组成、计算机实现

1. 控制相关包括由 、 、 等引起的相关。

答：条件分支指令、转子程序指令、中断

1. 虚拟存储器的三种管理方式是 、 、和 。

答：段式管理，页式管理和段页式管理

1. Amdahl 定律表明系统的加速比依赖于 和 两个因素。

答：被加速部分在系统中所占的比例 和 对被加速部分的性能提高程度

1. 通常可能出现的流水线的相关性有 ， 和 。

答：资源相关，数据相关 和控制相关

1. 早期冯•诺依曼计算机的主要特点是 ， 和 。

答：程序存储、指令驱动、集中控制

1. 解决中断引起的流水线断流的方法有 和 。

答：不精确断点法、精确断点法

8.根据指令间的对同一寄存器读和写操作的先后次序关系，数据相关冲突可分为 、 和 三种类型。

答: RAW、WAR和WAW

9.设计I/O 系统的三个标准是 、 和 。

答：性能 、价格 和容量

1. 高速缓冲存储器的地址映象方式有三种，它们分别是： ， ， 。

答：全向量方式，直接相联方式，组相联方式。

1. 从主存的角度来看，“Cache—主存”层次的目的是为了 ，而“主存—辅存” 层次的目的是为了 。

答：提高速度， 扩大容量。

1. 在整个计算机系统中，提高并行性的技术途径主要有3种： ， ， 。

答：时间重叠，资源重复，资源共享

1. **名词解释**

1.透明性：

答：在计算机技术中，一种本来存在的事物或属性，但从某种角度看似乎不存在，称为透明性。

1. 兼容机：

答：不同公司厂家生产的具有相同系统结构的计算机。

3.程序定位：

答：把一个程序交给处理机运行，必须首先把这个程序的指令和数据装入到主存储器中。一般情况下，程序所分配到的主存物理空间与程序本身的逻辑地址空间是不同的，把指令和数据中的逻辑地址(相对地址)转变成主存物理地址(绝对地址)的过程称为程序定位。

4.失效率：

答：CPU访存时，在一级存储器中找不到所需信息的概率。

5.快表:

答：为了提高地址转换速度，缩短查表时间，采用一个小容量的、高速的相关存储部件，用来存放当前最经常用到的那一部分页表，采取按内容相联方式进行访问。这样，查页表的时间就相当于访问小容量的相关存储器的时间，从而大大地提高了速度，这个小容量相关存储器称为快表。

6.多功能流水线：

答：指各段可以进行不同的连接，以实现不同的功能的流水线。

7.超标量计算机：

答；超标量处理机是重复设置多个“取指令”部件，多个“译码”、“执行”和“写结果”部件，并让这些部件同时工作来提高指令的执行速度，是可以在一个时钟周期内同时发射多条指令的处理机。

8.相联度：

答：在组相联中，每组Cache中的块数。

9.计算机组成：

答：计算机系统结构的逻辑实现，包含物理机器级中的数据流和控制流的组成以及逻辑设计等。

10.写直达法：

答：在执行写操作时，不仅把信息写入Cache中相应的块，而且也写入下一级存储器中相应的块。

11.高速缓冲存储器:

答：高速缓冲存储器是存在于主存与CPU之间的一级存储器，由静态存储芯片（SRAM）组成，容量比较小但速度比主存高得多，接近于CPU的速度。

12.寻址方式：

答：指令系统中如何形成所要访问的数据的地址。一般来说，寻址方式可以指明指令中的操作数是一个常数、一个寄存器操作数或者是一个存储器操作数。

13.线性流水线：

答：指各段串行连接、没有反馈回路的流水线。数据通过流水线中的各段时，每一个段最多只流过一次。

14.流水线的吞吐率：

答：流水线单位时间完成的任务数。

1. 并行性：

答：计算机系统在同一时刻或者同一时间间隔内进行多种运算或操作。只要在时间上相互重叠，就存在并行性。它包括同时性与并发性两种含义。

16.计算机体系结构：

答：计算机系统结构就是计算机的机器语言程序员或编译程序编写者所看到的外特性，是硬件子系统的概念结构及其功能特性。

17.多级存储层次：

答：采用不同的技术实现的存储器，处在离CPU不同距离的层次上，各存储器之间一般满足包容关系，即任何一层存储器中的内容都是其下一层（离CPU更远的一层）存储器中内容的子集。目标是达到离CPU最近的存储器的速度，最远的存储器的容量。

18.容量失效：

答：如果程序在执行时，所需要的块不能全部调入Cache中，则当某些块被替换后又重新被访问，就会产生失效，这种失效就称作容量失效。

19.先行控制技术：

答：先行控制技术是采用缓冲技术使分析部件和执行部件能分别连续不断地分析和执行指令。

20.静态互连网络：

答：各结点之间有固定的连接通路、且在运行中不能改变的网络。

1. 延迟转移技术：

答：在转移指令之后插入一条或几条有效的指令。当程序执行时，要等这些插入的指令执行完成之后，才执行转移指令，因此，转移指令好像被延迟执行了，这种技术称为延迟转移技术。

**三、简答题**

1. 简述RISC指令集结构的设计原则。

答（1）选取使用频率最高的指令，并补充一些最有用的指令；

1. 每条指令的功能应尽可能简单，并在一个机器周期内完成；
2. 所有指令长度均相同；
3. 只有Load和Store操作指令才访问存储器，其它指令操作均在寄存器之间进行；
4. 以简单有效的方式支持高级语言。

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

1. 什么是存储系统？

答：存储系统是两个或两个以上的速度、容量、价格不同的存储器采用硬件，软件或软、硬件结合的办法联结成一个系统，使得整个系统看起来象一个存储器，其速度接近其中最快的一个，容量接近其中最大的一个，价格接近其中最便宜的一个。

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

1. 地址映象方法有哪几种？它们各有什么优缺点？

答: （1）全相联映象。实现查找的机制复杂，代价高，速度慢。Cache空间的利用率较高，块冲突概率较低，因而Cache的失效率也低。

（2）直接映象。实现查找的机制简单，速度快。Cache空间的利用率较低，块冲突概率较高，因而Cache的失效率也高。

（3）组相联映象。组相联是直接映象和全相联的一种折衷。

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

1. 按照流水线中是否有反馈回路来分，流水线可分为哪两类？

答: （1）线性流水线：流水线的各段串行连接，没有反馈回路。

（2）非线性流水线：流水线中除有串行连接的通路处，还有反馈回路。

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

1. 简述冯.诺依曼计算机的特征。

答：一般认为其主要特征有以下几点：

(1)机器以运算器为中心。除了完成运算以外，机器内部的数据传输都经过运算器。各部件的操作以及它们之间的协调由控制器集中控制。

(2)存储器按一维线性编址，顺序访问存储器地址单元，每个存储单元的位数固定。

(3)程序存储，指令和数据无区别存放在存储器中，指令和数据一样可以送到运算器中进行运算，指令与数据的区别主要在于地址区域不同。

(4)指令在存储器中按其执行顺序存放，由一个顺序控制器（亦称程序计数器或指令计数器）指定即将被执行的指令地址。每读取一条指令后，计数器自动按顺序递增。

(5)指令由操作码和地址码组成，操作码指明操作类型，地址码指明操作数的地址和结果地址。

(6)数据以二进制表示。

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

6.如有一个经解释实现的计算机，可以按功能划分成4级。每一级为了执行一条指令需要下一级的N条指令解释。若执行第一级的一条指令需K(ns)时间，那么执行第2、3、4级的一条指令各需要用多少时间(ns)?

答：∵第二级的一条指令需第1级的N条指令解释

∴第二级的一条指令执行时间为NKns；

第三级的一条指令执行时间为N2Kns；

第四级的一条指令执行时间为N3Kns。

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

7.用户CPU时间由哪三个因素决定？

答：用户CPU时间=CPI×IC/时钟频率

其中：CPI：指令时钟数

IC：程序执行过程中所处理的指令数

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

8.简述组相联映象规则。

答: （1）主存与缓存分成相同大小的数据块。

（2）主存和Cache按同样大小划分成组。

（3）主存容量是缓存容量的整数倍，将主存空间按缓冲区的大小分成区，主存中每一区的组数与缓存的组数相同。

（4）当主存的数据调入缓存时，主存与缓存的组号应相等，也就是各区中的某一块只能存入缓存的同组号的空间内，但组内各块地址之间则可以任意存放，即从主存的组到Cache的组之间采用直接映象方式；在两个对应的组内部采用全相联映象方式。

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

9.引起Cache与主存内容不一致的原因是什么？为了保持Cache的一致性，在单计算机系统中一般采取哪些措施？

答：不一致的原因：

(1) 由于CPU写Cache，没有立即写主存

(2) 由于I/O处理机或I/O设备写主存

采取措施：

（1）全写法，亦称写直达法(WT法—Write through)

方法：在对Cache进行写操作的同时，也对主存该内容进行写入。

（2）写回法（WB法—Write back）

方法：在CPU执行写操作时,只写入Cache,不写入主存。

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

10. 按照同一时间内各段之间的连接方式来分，流水线可分为哪两类？

答: （1）静态流水线：在同一时间内，流水线的各段只能按同一种功能的连接方式工作。

1. 动态流水线：在同一时间内，当某些段正在实现某种运算时，另一些段却在实现另一种运算。

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

1. Flynn分类法是根据什么对计算机进行分类的？将计算机分成哪几类？

答：Flynn分类法是按照指令流和数据流的多倍性进行分类。把计算机系统的结构分为：

（1）单指令流单数据流（SISD）；

（2）单指令流多数据流（SIMD）；

（3）多指令流单数据流（MISD）；

（4）多指令流多数据流（MIMD）。

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

12.通常有哪几种指令格式，请简述其适用范围。

答： （1） 变长编码格式。如果系统结构设计者感兴趣的是程序的目标代码大小，而不是性能，就可以采用变长编码格式。

（2）固定长度编码格式。如果感兴趣的是性能，而不是程序的目标代码大小，则可以选择固定长度编码格式。

（3） 混合型编码格式。需要兼顾降低目标代码长度和降低译码复杂度时，可以采用混合型编码格式。

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

13.替换算法有哪几种？它们各有什么优缺点？

答：（1）随机法。简单、易于用硬件实现，但这种方法没有考虑Cache块过去被使用的情况， 反映不了程序的局部性，所以其失效率比LRU的高。

（2）先进先出法。容易实现。它虽然利用了同一组中各块进入Cache的顺序这一“历史” 信息，但还是不能正确地反映程序的局部性。

（3）最近最少使用法LRU。 失效率最低。但是LRU比较复杂，硬件实现比较困难。

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

14.影响虚拟存储器命中率的因素有哪些？它们是如何影响的？

答：

（1）页面大小：当页面比较小时，随着页面的增大，命中率明显提高，但当页面增大到一定值时，命中率不再增大，而随着页面的增大而下降。

（2）主存容量：当主存容量增加时，命中率不断提高；当容量增大到一定程度后，命中率的提高就不大了。

（3）页面调度方式：页面的调度都是发生在产生缺页中断时进行，因此在程序刚开始运行时命中率很低，为此可以采用预取式调度法，提高命中率。

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

15.试述页式管理虚拟存储器的工作过程。

答：页式管理是将主存空间与虚存空间按固定的大小划分成块，每块称为一页。页的大小和划分与程序的逻辑功能无关，由操作系统软件来执行。一般而言，一页的大小应该是512Bit的整数倍，因为辅助磁盘存储的物理块的大小为512Bit。虚页中的页称为虚页，实存中的各页称为实页，各虚页与实页之间按全相联方式映象，也就是虚页中的一页，可以存入主存中的任意一页的位置。当CPU给出所要访问的虚地址后，根据用户号访问基址寄存器，求得用户的页表首地址Pa，然后与虚地址中的虚页号P相加，得到该页的表目，由此表目中得到该页存入主存中的实页号为p，将该页号读出与页内地址组装即可得到主存的实际地址。

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

1. 根据Amdahl定律，系统加速比由哪两个因素决定？

答：系统加速比依赖于两个因素：

（1）可改进比例：可改进部分在原系统计算时间中所占的比例。

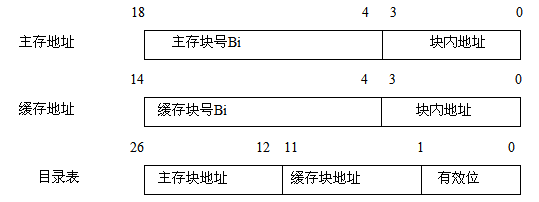
（2）部件加速比：可改进部分改进以后的性能提高。

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

1. **问答与计算题**

1.某机主存容量为512KB，Cache的容量为32KB，每块的大小为16个字（或字节）。划出全相联方式主、缓存的地址格式、目录表格式及其容量。

答：主存块数：512K/16＝32K＝215；缓存块数：32K/16＝2K＝211；块内地址：16＝24



容量：与缓冲块数量相同即211＝2048(或32K/16＝2048)。

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

2.一个程序由五个虚页组成，采用LFU替换算法，在程序执行过程中依次访问的地址流如下：

4，5，3，2，5，1，3，2，3，5，1，3

（1）可能的最高页命中率是多少？

（2）至少要分配给该程序多少个主存页面才能获得最高的命中率。

（3）如果在程序执行过程中访问一个页面，平均要对该页面内的存储单元访问1024次，求访问存储单元的命中率。

答：（1）由于在页地址流中互不相同的页共有5页，因此最多分配5个主存页面就可获得最高页中命中率，可能的最高命中率为

（2）因为LFU替换算法为堆栈型换算法，即随着分配给该程序的主存页面数的减少，其命中率单调递减，所以为获得最高命中率H＝7/12，可采用逐步减少所分配的主存页数的方法来推算，若分配n个主存页面时可获得最高命中率，但分配n－1个页面时命中率却减少，则此时我们可以得出这样的结论：至少要分配给该程序n个主存页面才能获得最高的命中率。

由表可知，至少要分配给该程序4个主存页面才能获得最高的命中率。

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 页地址流 | 4 | 5 | 3 | 2 | 5 | 1 | 3 | 2 | 2 | 5 | 1 | 3 |
| S(1)  堆 S(2)  栈 S(3)  内 S(4)  容 S(5)  S(6) | 4 | 5  4 | 3  5  4 | 2  3  5  4 | 5  2  3  4 | 1  5  2  3  4 | 3  1  5  2  4 | 2  3  1  5  4 | 2  3  1  5  4 | 5  2  3  1  4 | 1  5  2  3  4 | 3  1  5  2  4 |
| n=1  实 n=2  页 n=3  数 n=4  n>=5 |  |  |  |  | H  H  H |  | H  H | H  H | H  H  H  H  H | H  H | H  H | H  H |

（3）访问存储单元的命中率为



值得说明的是，在此例中，尽管LFU属于堆栈替换算法，但是分配的实际页数n也并不是越多越好，当命中率H达到饱和后，实际页数n的增加不仅不会提高命中率，反而会使实存的利用率下降。

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

3.在页式虚拟存储器中，一个程序由P1～P5共5个页面组成。在程序执行过程中依次访问的页面如下：P2，P3，P2，P1，P5，P2，P4，P5，P3，P2，P5，P2 假设系统分配给这个程序的主存有3个页面，分别采用FIFO、LFU和OPT三种页面替换算法对这3页主存进行调度。

（1）画出主存页面调入、替换和命中的情况表。

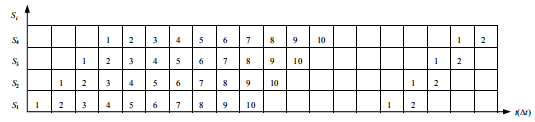
（2）统计三种页面替换算法的页命中率。

解：三种替换算法的替换过程及命中率如下：

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 页地址流 | 2 | 3 | 2 | 1 | 5 | 2 | 4 | 5 | 3 | 2 | 5 | 2 |
| FIFO  命中3次 | 2 | 2  3 | 2  3 | 2\*  3  1 | 5  3\*  1 | 5  2  1\* | 5\*  2  4 | 5\*  2  4 | 3  2\*  4 | 3  2\*  4 | 3  5  4\* | 3\*  5  2 |
| 调  进 | 调  进 | 命  中 | 调  进 | 替  换 | 替  换 | 替  换 | 命  中 | 替  换 | 命  中 | 替  换 | 替  换 |
| LRU  命中5次 | 2 | 2  3 | 2  3 | 1  2  3\* | 5  1  2\* | 2  5  1\* | 4  2  5\* | 5  4  2\* | 3  5  4\* | 2  3  5\* | 5  2  3\* | 2  5  3\* |
| 调  进 | 调  进 | 命  中 | 调  进 | 替  换 | 命  中 | 替  换 | 命  中 | 替  换 | 替  换 | 命  中 | 命  中 |
| OPT  命中6次 | 2 | 2  3 | 2  3 | 2  3  1\* | 2  3\*  5 | 2\*  3  5 | 4\*  3  5 | 4\*  3  5 | 4\*  3  5 | 2  3\*  5 | 2  3  5 | 2  3  5 |
| 调  进 | 调  进 | 命  中 | 调  进 | 替  换 | 命  中 | 替  换 | 命  中 | 命  中 | 替  换 | 命  中 | 命  中 |

4.某个流水线由 4 个功能部件组成，每个功能部件的执行时间都为∆t。当连续输入 10 个数据后，停顿 5∆t，又连续输入10 个数据，如此重复。画出时空图，计算流水线的实际吞吐率、加速比和效率。

答：本题流水线的处理数据是非连续流入的，因此，不能使用连续流水的公式直接计算，可通过时空图来计算。时空图如下图所示。



流水线以15∆t为一个重复周期，因此，可按15∆t来计算流水线的实际吞吐率、加速比和效率分别为：







（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

5.一个有快表和慢表的页式虚拟存储器，最多有64个用户，每个用户最多要用1024个页面，每页4K字节，主存容量8M字节。

（1）写出多用户虚地址的格式，并标出各字段的长度。

（2）写出主存地址的格式，并标出各字段的长度。

（3）快表的字长为多少位？分几个字段？各字段的长度为多少位？

（4）慢表的容量是多少个存储字？每个存储字的长度为多少位？

答：用户号：64＝26，虚页号：1024＝210，页内地址：4K＝212，主存页数：8M/4K＝211

（1）多用户虚地址：

用户号（6位）＋虚页号（10位）＋页内地址（12位） 共28位

（2）主存地址：

主存实页号（11位）＋页内地址（12位） 共23位

（3）快表字长27位；分3个字段：用户号6位，虚页号10位，实页号11位

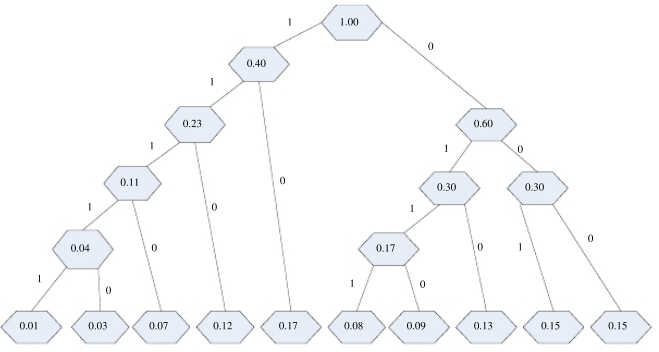
（4）慢表容量为2（6+10），每个存储字长为：主存页号＋1＝12位

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

6.假设一台模型计算机共有10种不同的操作码，如果采用固定长操作码需要4位。已知各种操作码在程序中出现的概率如下表所示，计算采用Huffman编码法的操作码平均长度，并计算固定长操作码和Huffman操作码的信息冗余量（假设最短平均长度H＝3.1位）。

|  |  |  |  |
| --- | --- | --- | --- |
| 指令序号 | 指令使用频度Pi | 指令序号 | 指令使用频度Pi |
| I1 | 0.17 | I6 | 0.09 |
| I2 | 0.15 | I7 | 0.08 |
| I3 | 0.15 | I8 | 0.07 |
| I4 | 0.13 | I9 | 0.03 |
| I5 | 0.12 | I10 | 0.01 |

答：构造Huffman树如下：



Huffman编码如下表



Huffman编码的平均码长为：

冗余量=（3.15-3.10）/3.15=1.59%

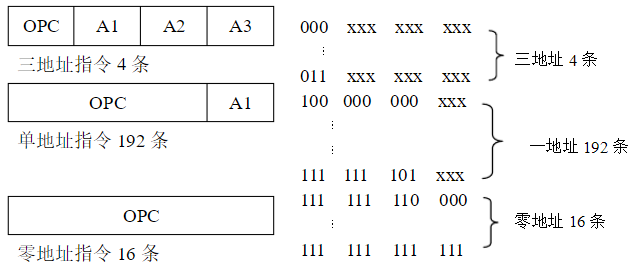
固定码长：log210=4

冗余量=（4-3.10）/4=22.5%

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

7.若某机要求有：三地址指令4条，单地址指令192条，零地址指令16条。设指令字长为12位，每个地址码长3位。问能否以扩展操作码为其编码？

答:三种指令格式如下：



（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

1. 假设将某系统的某一部件的处理速度加快到10倍，但该部件的原处理时间仅为整个运行时间的40%，则采用加快措施后能使整个系统的性能提高多少？

答：由题意可知fe=0.4,re=10,根据Amdahl定律

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）

1. 互连网络例子：编号为0，1……15的16个处理器用单级互连网络连接，当互连函数分别为：（1）cube 3;(2)PM2+3;(3)shuffle;时第13号处理器各连至哪一个处理器?

答：

1. cube3(1101)=0101=5
2. PM2+3(13)=(13+2^3)MOD16=5

（3）3SHUFFLE(1101)=1011=11

（温馨提示：照抄答案，没有加入自己的答案，一律0分。）