**《数字逻辑》考试大纲**

1. 单项选择题

1、下列电路中属于组合电路的是 （ D ）

(A)集成触发器 (B)多谐振荡器

(C)二进制计数器 (D)3—8译码器

2、下列电路中只有一个稳定状态的是 （ C ）

(A)集成触发器 (B) 施密特触发器

(C)单稳态触发器 (D) 多谐振荡器

3、用0，1两个符号对100个信息进行编码，则至少需要 （ B ）

A、8位 B、7位 C、9位 D、6位

4、为产生周期性矩形波，应当选用 （ C ） 。

(A) 施密特触发器 (B) 单稳态触发器

(C) 多谐振荡器 (D) 译码器

5、逻辑表达式Y=AB可以用 (  C　) 实现。

A.正或门   B.正非门      C.正与门     D.负或门

6、在(　A　)的情况下，“或非”运算的结果是逻辑 1 。

A．全部输入是0  　　　　　　　　B.全部输入是1

C. 任 一 输入为0，其他输入为1  D.任 一 输入为1

7、CMOS数字集成电路与TTL数字集成电路相比突出的优点是(　　A　　)。

A. 微功耗   B.高速度  C. 高抗干扰能力  D.电源范围宽

8、在下列逻辑电路中，不是组合逻辑电路的有(　　D　　)。

A. 译码器   B. 编码器   C. 全加器   D. 寄存器

9、与二进制数10101010相应的十进制数为（ C ）

A．110 B．210 C．170 D.160

10、已知某电路的真值表如下表所示，则该电路的逻辑表达式为（ C ）

A． B． C． D．

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| A | B | C | Y | A | B | C | Y |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

11.为产生周期性矩形波，应当选用 （ C ）

A、 施密特触发器 B、单稳态触发器

C、多谐振荡器 D、 译码器

12、逻辑表达式Y=AB可以用 ( C　) 实现

A、正或门   B、正非门      C、正与门     D、负或门

13、基本的逻辑运算是（  C  ）。

A. 异或   B. 与非 　  C. 与、或、非     D. 或非

14、 三极管可作为无触点开关用，当它处于截止状态时，相当于开关处于（  B  ）。

A. 闭合状态       B. 断开状态

C. 时断时开      D. 先断后开

15、只读存储器ROM在运行时具有(　　A　　)功能。

A.读/无写 B. 无读 /写    C.读/写      D. 无读 /无写

16、4个边沿JK触发器,可以存储( A )位二进制数

A． 4 B．8 C．16

17、属于组合逻辑电路的部件是（ A ）。

A．编码器 B．寄存器 C．触发器 D．计数器

18、T触发器中，当T=1时，触发器实现（ C ）功能。

A．置1 B．置0 C．计数 D．保持

19、格雷码的特点是位置相邻的数码中只有（ A　）。

A、一位不同　   B、二位不同

C、 高位相同，其他全不同　　 D、 各位全不同

20、下列电路中属于组合逻辑电路的是（ B ）。

A、同步D触发器　　 B、译码器   C、寄存器   D、计数器

21、一个数据选择器的地址输入端有3个时，最多可以有（ C ）个数据信号输出。

A．4 B．6 C．8 D．16

22、用触发器设计一个24进制的计数器，至少需要( D )个触发器。

A．3 B．4 C．6 D．5

23、时序逻辑电路中一定是含（ A ）

A．触发器 B．组合逻辑电路 C.移位寄存器 D．译码器

24、只读存储器ROM中的内容，当电源断掉后又接通，存储器中的内容(　D　)。

A、全部改变    B、全部为0

C、不可预料       D、保持不变

25、设计一个把十进制转换成二进制的编码器，则输入端数M和输出端数N分别为（ C ）

A．M=N=10 B．M=10，N=2 C．M=10，N=4 D．M=10，N=3

26、时序电路某一时刻的输出状态与该时刻之前的输入信号（A）

A、有关 B、无关 C、有时有关，有时无关 D、以上都不对

27、 SR锁存器是一种\_\_\_\_\_\_\_稳态电路。（ C ）

A.无 B.单 C.双 D.多

28、一位8421BCD计数器，至少需要( B )个触发器。

A.3 B.4

C.5 D.10

29、逻辑函数F==( A )。

A.B B.A C. D.

30、五个D触发器构成环形计数器，其计数长度为（ A ）。

A.5 B.10 C.25 D.32

31、时序逻辑电路中一定是含（ A ）

A、触发器 B、组合逻辑电路 C、移位寄存器 D、译码器

32、同步时序电路和异步时序电路比较，其差异在于后者（ B ）。

A、没有触发器 B、没有统一的时钟脉冲控制

C、没有稳定状态 D、输出只与内部状态有关

33、若在编码器中有90个编码对象，则要求输出二进制代码位数为(　C　)位。

A.5     B.6    C.7       D.8

34、数据选择器，某瞬间在选择变量作用下，从多路信号中选出（ C  ）。

A.2路  B.全部   C.1路     D. 4路

35、八路数据分配器，其地址输入端有(　　C　　)个。

A.1     B.2     C.3      D.4     E.8

36、同步计数器和异步计数器比较，同步计数器的显著优点是(　　A　　)。

A.工作速度高   B.触发器利用率高

C.电路简单  D.不受时钟CP控制

37、已知半加器的两个输入端，则其输出端的状态（ B   ）。

A.00    B.01     C.10      D. 11

38、四变量的卡诺图，每个小方格最多有（ C  ）相邻小方格。

A.2个      B.3个    　　C. 4个       D.5个

39、在下列逻辑电路中，不是组合逻辑电路的有(　D　　　)。

A. 译码器    B. 编码器    C. 全加器     D. 计数器

40、T触发器中，当T=1时，触发器实现（ C ）功能。

A．置1 B．置0 C．计数 D．保持

二、判断题

1、若两个函数具有相同的真值表，则两个逻辑函数必然相等。 （√ ）

2、TTL OC门（集电极开路门）的输出端可以直接相连，实现线与。 （ √ ）

3、共阴接法的七段显示器，要用有效输出为高电平的显示译码器来驱动。 （ √ ）

4、二进制译码器相当于是一个最小项发生器，可以用其实现组合逻辑电路。 （√ ）

5、异步时序电路的各级触发器类型不同。（ × ）

6、同步二进制计数器的电路比异步二进制计数器复杂，所以实际应用中较少使用同步二进制计数器。（ × ）

7、TTL电路可直接驱动CMOS电路。（× ）

8、为了表示104个信息，需7位二进制编码（√ ）

9、JK触发器外和T触发器都可实现翻转功能 （√ ）

10、用卡诺图化简逻辑函数时，合并相邻项的个数为偶数个最小项 （×）

11、编码与译码是互逆的过程。 （ √  ）

12、时序电路不含有记忆功能的器件。 （ × ）

13、计数器的核心元件是触发器。（ √  ）

14、门电路是时序逻辑电路的基本逻辑单元 （ × ）

15、同步时序电路具有统一的时钟 CP 控制。 （ √ ）

16、计数器的模是指构成计数器的触发器的个数。（ × ）

17、CMOS电路可直接驱动TTL电路。 （ √  ）

18、一个真值表可能对应多个逻辑函数表达式 ( √ )

19、门电路多余输入端的处理方法是:与门的多余端上拉到电源或多并接；或门的多余端接地 ( √ ）

20、占空比等于脉冲宽度除于周期（ √ ）

21、上升时间和下降时间越长，器件速度越慢（ √ ）

22、计算机主机与鼠标是并行通信（ × ）

23、组合逻辑电路中产生竞争冒险的主要原因是输入信号受到尖峰干扰。（ × ）

24、计数器的模是指构成计数器的触发器的个数。（ ×  ）

25、在决定一事件结果的所有条件中要求所有的条件同时满足时结果就发生，这种条件和结果的逻辑关系是与 （ √ ）

26、若两个函数具有不同的逻辑函数式，则两个逻辑函数必然不相等。 （ × ）

27、若两个函数具有相同的真值表，则两个逻辑函数必然相等。 （ √  ）

28、TTL OC门（集电极开路门）的输出端可以直接相连，实现线与。 （ √ ）

29、D/A转换器的位数越多，能够分辨的最小输出电压变化量就越小,输出电压越精确。（ √ ）

30、组合逻辑电路的输出信号仅取决于当时的输入信号（ √ ）

31、BCD码能表示0至15之间的任意整数 （ × ）

32、余3码是有权码 （ × ）

33、数据选择器具有多个数据输入通道 （ √ ）

三、填空题

1、如用0V表示逻辑1，-10V表示逻辑0，这属于 正 逻辑。

2、对160个符号进行二进制编码，则至少需要 8 位二进制数。

3、使用与非门时多余的输入端应接 高 电平，或非门多余的输入端应接 低 电平。

4、二进制码11011010表示的十进制数为 218 ，十六进制为 DA 。

5、在数字电路中三极管工作在 0 和 1 状态，所以数字电路只有 两 个状态。

6、A=(-59)10，A的原码是 1111011 ，补码是 1000101 。

7、T触发器是由 JK 触发器的数据输入端短接而成。

8、如果对72个符号进行二进制编码，则至少要 7 位二进制代码。

9、按逻辑功能分类，触发器可分为\_\_RS\_\_\_、 \_\_D\_\_、 \_\_JK\_\_、 \_T\_等四种类型。

10、逻辑代数中的三种基本逻辑运算是 与 、 或 、 非 。

11、逻辑电路可以分为 组合逻辑 电路和 时序逻辑 电路。

12、数字电路的基本单元电路是 门电路 和 触发器 。

13、按照使用功能来分，半导体存储器可分为 RAM 和 ROM 。

14、一个 JK 触发器有　2　 个稳态，它可存储　1　 位二进制数。

15、存储容量为4K×8位的RAM存储器，其地址线为 12 条、数据线为 8 条。

16、1个触发器可以存放 1 位二进制数，它具有记忆功能。

17、时序逻辑电路中一定是含 触发器 。

18、若一个逻辑函数由三个变量组成，则最小项共有 8 。

19、逻辑符号如图一所示，当输入，输入B为方波时，则输出F应为 方波 。



图一

20、时序电路可分为 同步时序逻辑电路 和 异步时序逻辑电路 两种工作方式。

21、欲构成能记最大十进制数为999的计数器，至少需要 三 片十进制加数器或 三 片4位二进制加法计数器芯片。

22、存储器以 字 为单位组织内部结构，1个字含有 若干 个存储单元。

23、正逻辑的与门等效于负逻辑的 或门

24、施密特触发器有 2 个稳定状态.，多谐振荡器有 0 个稳定状态。

25、–81和+81的8位二进制补码分别为: 10101111和 01010001

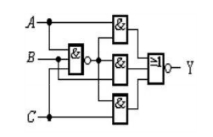
26、施密特触发器可用于 波形变换、波形整形与抗干扰、幅度鉴别等

27、三态门的输出状态有 1 、 0 、 高阻态三种状态。

**四、简答题**

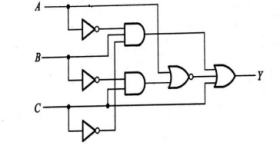
1、**写出图中电路的逻辑表达式**（每小题5分，共10分）

（1）



Y=ABC+

（2）



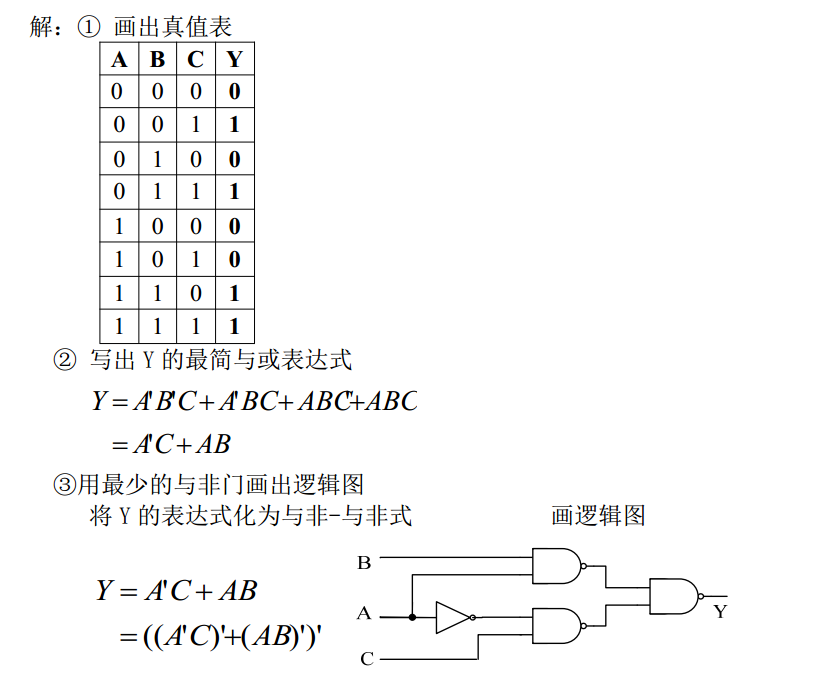
Y=wpsFABA

2.**请设计一组合电路，其输入端为 A， B， C，输出端为 Y，要求其功能为：  
当 A=1 时， Y=B；当 A=0 时， Y=C。设计内容包括：**

**①列出真值表（10分）；**

**②写出 Y 的最简与或表达式（10分）；**

**③用最少的与非门画出逻辑图（10分）。**



温馨提示：照抄答案，没有加入自己的答案，一律不给分。